

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 10 570.0

Anmeldetag: 11. März 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Verfahren und Testschaltung zum Testen einer dynamischen Speicherschaltung

IPC: G 11 C 29/10

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 3. März 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

CERTIFIED COPY OF
PRIORITY DOCUMENT

Beschreibung

Verfahren und Testschaltung zum Testen einer dynamischen Speicherschaltung

5

Die Erfindung betrifft ein Verfahren zum Testen einer dynamischen Speicherschaltung, sowie eine Testschaltung zum Durchführen des Verfahrens.

- 10 Nach der Herstellung von integrierten dynamischen Speicherschaltungen müssen die Speicherschaltungen auf ihre spezifikationsgemäße Funktion getestet werden, um Fehler zu erkennen. Erkannte Fehler können dann im Regelfall durch ein Ersetzen der Speicherbereiche, in denen ein Fehler aufgetreten
- 15 ist, durch redundant vorgesehene Speicherbereiche repariert werden.

- Ein Fehler wird erkannt, indem zunächst Testdaten in die Speicherschaltung hineingeschrieben werden und anschließend
- 20 die Testdaten ausgelesen werden. Durch Vergleichen der hineingeschriebenen Testdaten und der ausgelesenen Daten wird ein Fehler erkannt, wenn sich die Testdaten und die ausgelesenen Daten unterscheiden.

- 25 Daten werden aus einer integrierten Speicherschaltung mithilfe von Ausleseverstärkern ausgelesen. Die Ausleseverstärker sind - je nach Lage in der Speicherschaltung - mit einem oder zwei Bitleitungspaaren verbunden, wobei jedes der Bitleitungspaare über eine gesonderte Schalteinrichtung mit dem Auslese-
- 30 verstärker verbindbar ist. Es sind ferner Wortleitungen vorgesehen, wobei sich Speicherzellen an den Kreuzungsstellen der Wortleitungen mit jeweils einer der Bitleitungen des jeweiligen Bitleitungspaares befinden. Die Speicherzellen weisen einen Speichertransistor und eine Speicherkapazität auf,
- 35 die gesteuert über die entsprechende Wortleitung, die mit dem Steuereingang des Speichertransistors verbunden ist, an die entsprechende Bitleitung angelegt wird. Der dadurch bewirkte

Ladungsunterschied auf den Bitleitungen des entsprechenden Bitleitungspaars wird über die entsprechende Schalteinrichtung an den Ausleseverstärker geleitet und dort verstärkt.

5 Die Bauelemente der integrierten Speicherschaltung unterliegen prozessbedingt Schwankungen, so dass sich deren Parameter ändern. So kann beispielsweise die Kapazität der Speicherkapazität von Speicherzelle zu Speicherzelle schwanken und somit unterschiedliche Ladungsdifferenzen auf den Bitleitungen
10 des Bitleitungspaars bewirken. Für eine ordnungsgemäße Funktion müssen auch durch Speicherzellen mit einer geringen Speicherkapazität bewirkte geringe Ladungsunterschiede in richtiger Weise durch den Ausleseverstärker verstärkt werden.

15 Auch ist es möglich, dass der Ausleseverstärker und die Schalteinrichtung, mit der der Ausleseverstärker und die Bitleitungspaare miteinander verbindbar sind, prozessbedingten Schwankungen unterliegen. Sie können beispielsweise die Schalteinrichtungen langsamer oder schneller als durch die
20 Spezifikation vorgegeben schalten oder die beiden Bitleitungen des betreffenden Bitleitungspaars in unterschiedlicher Weise, d.h. unterschiedlich schnell mit dem Ausleseverstärker verbunden oder davon getrennt werden. Auch kann der Ausleseverstärker durch prozessbedingt schwache oder fehldimensionierte Transistoren zu langsam sein, um in allen Fällen eine
25 ausreichend schnelle und ausreichend große Verstärkung des Ladungsunterschieds auf den Bitleitungen durchzuführen.

Es ist daher die Aufgabe der vorliegenden Erfindung, ein
30 Testverfahren bereitzustellen, mit dem insbesondere die Funktion des Ausleseverstärkers und den daran angeschlossenen Schalteinrichtung für die Bitleitungen in verbesserter Weise überprüft werden können. Weiterhin ist es Aufgabe der vorliegenden Erfindung, eine Testschaltung zum Testen einer Speicherschaltung zur Verfügung zu stellen, mit der die Ausleseverstärker und die Schalteinrichtungen, über die die Bitlei-
35

tungen an die Ausleseverstärker angeschlossen sind, auf verbesserte Weise überprüft werden können.

Diese Aufgabe wird durch das Verfahren nach Anspruch 1, sowie
5 durch die Testschaltung nach Anspruch 5 gelöst.

Weitere vorteilhafte Ausführungsformen der Erfindung sind in den abhängigen Ansprüchen angegeben.

- 10 Gemäß einem ersten Aspekt der vorliegenden Erfindung ist ein Verfahren zum Testen einer dynamischen Speicherschaltung vorgesehen. Die Speicherschaltung weist einen Ausleseverstärker auf, der über eine erste Schalteinrichtung mit einem ersten Bitleitungspaar und über eine zweite Schalteinrichtung mit
15 einem zweiten Bitleitungspaar verbunden ist. Es sind erste Speicherzellen an Kreuzungsstellen von ersten Wortleitungen mit einer der Bitleitungen des ersten Bitleitungspaares und zweite Speicherzellen an Kreuzungsstellen von zweiten Wortleitungen mit einer der Bitleitungen des zweiten Bitleitungspaares angeordnet. Zum Testen der Speicherschaltung werden
20 Daten in die ersten und zweiten Speicherzellen geschrieben und anschließend wieder ausgelesen. Beim Auslesen von einer der ersten Speicherzellen wird die betreffende erste Wortleitung aktiviert, wobei die erste Schalteinrichtung durchgeschaltet und die zweite Schalteinrichtung geschlossen wird. Beim Auslesen einer der zweiten Speicherzellen wird entsprechend die betreffende zweite Wortleitung aktiviert, wobei die erste Schalteinrichtung geschlossen und die zweite Schalteinrichtung durchgeschaltet wird. Erfindungsgemäß werden die
25 ersten und die zweiten Speicherzellen in einer Abfolge ausgelesen, so dass die erste und die zweite Schalteinrichtung im Wesentlichen mehrfach während des Testens der ersten und zweiten Speicherzellen geschaltet werden.
- 30
- 35 Beim bisherigen Testen von dynamischen Speicherschaltungen werden keine oder nur unzureichende Testvorgänge zum Testen der ordnungsgemäßen Funktion der im Inneren der Speicher-

schaltung angeordneten Ausleseverstärker und der daran angeschlossenen Schalteinrichtungen durchgeführt. Im Wesentlichen werden beim Auslesen der Speicherzellen zum Testen der Funktion der Speicherzellen die Wortleitungen nacheinander aktiviert und die entsprechenden Daten aus den daran befindlichen Speicherzellen ausgelesen. Dies erfolgt in aller Regel so, dass zunächst nacheinander die Speicherzellen auf dem ersten Bitleitungspaar eines Ausleseverstärkers und dann die Speicherzellen auf dem zweiten Bitleitungspaar des Ausleseverstärkers ausgelesen werden. Auf diese Weise werden die erste und die zweite Schalteinrichtung nur bei dem Wechsel vom Auslesen der ersten Speicherzellen zum Auslesen der zweiten Speicherzellen umgeschaltet.

15 Zwei mögliche Fehler können dadurch nicht erkannt werden. Die Schalteinrichtungen werden üblicherweise durch Transistoren gebildet, die gemäß einem Steuersignal ein- oder ausgeschaltet werden. Das Ein- oder Ausschalten der Schalteinrichtung erfolgt in vordefinierter zeitlicher Lage zu einem Ladungsausgleich, der die Ladungen auf den Bitleitungen eines Bitleitungspaares ausgleicht. Der Ladungsausgleich wird üblicherweise durch einen Transistor durchgeführt, der zwischen beiden Bitleitungen eines Bitleitungspaares angeordnet ist und durch ein Durchschalten dieses Ausgleichstransistors die Ladungen auf beiden Bitleitungen ausgleicht.

Ein weiteres Ziel des Ausgleichstransistors ist es, die Ausleseverstärker auf einen Arbeitspunkt zurückzuführen, bei dem in optimaler Weise ein geringer positiver wie auch negativer Ladungsunterschied auf den angeschlossenen Bitleitungen detektiert werden kann. Schaltet die Schalteinrichtung jedoch zu früh, was durch fehlerhaft prozessierte Transistoren oder durch Transistoren mit nicht spezifikationsgemäßen Parametern bewirkt werden kann, so wird der entsprechende Ausleseverstärker nicht durch den Ausgleichstransistor auf den Arbeitspunkt zurückgeführt. Der Ausleseverstärker befindet sich damit in einem undefinierten Zustand, der es diesem unter Um-

ständen nicht ermöglicht, eine positive und/oder negative die Ladungsdifferenz auf den angeschlossenen Bitleitungen bei einem nächsten Auslesevorgang zu detektieren. Insbesondere wenn sich die Parameter der Transistoren der Schalteinrichtung nur wenig von den gewünschten, spezifikationsgemäßen Parametern unterscheiden, ist der Ausleseverstärker nur gering aus dem Arbeitspunkt gebracht. Damit können „starke“ Speicherzellen, d.h. Speicherzellen mit einer hohen Speicherkapazität, den verschobenen Arbeitspunkt des Ausleseverstärkers kompensieren und trotzdem zu einem richtigen Auslesen des gespeicherten Datums führen. „Schwache“ Speicherzellen jedoch, d.h. solche mit geringer Speicherkapazität, können nicht genug Ladung speichern, um eine ausreichend große Ladungsdifferenz auf den Bitleitungen des entsprechenden Bitleitungspaares hervorzurufen, so dass die geringe Ladungsdifferenz nicht durch den Ausleseverstärker in einem nicht optimalen Arbeitspunkt detektiert werden kann.

Wenn jetzt bei einem Wechsel vom Auslesen der ersten Speicherzellen zu dem Auslesen von zweiten Speicherzellen die erste der zweiten Speicherzellen, die ausgelesen wird, eine starke Speicherzelle ist, wird unter Umständen eine fehlerhafte erste Schalteinrichtung nicht erkannt, und umgekehrt.

Eine weitere Möglichkeit, dass eine fehlerhafte Schalteinrichtung nicht erkannt wird, tritt im Backend-Testvorgang auf. Beim Backend-Testvorgang sind bereits erkannte fehlerhafte Speicherbereiche durch redundante Speicherbereiche ersetzt. An einem Ausleseverstärker, an dem ein erstes und ein zweites Bitleitungspaar angeschlossen ist, kann daher eines der angeschlossenen Bitleitungspaare durch ein redundantes Bitleitungspaar an einer anderen Stelle der Speicherschaltung ersetzt sein. Aufgrund der nicht abgeschalteten Adressierungssignale der integrierten Schaltung bleiben die erste und die zweite Schalteinrichtung auch für ersetzte Speicherbereiche aktiv und werden von einer entsprechenden Speicherschaltung gesteuert. Insbesondere bei einem Fehler, bei dem eine

der Bitleitungen des Bitleitungspaares, welches durch ein redundantes Bitleitungspaar ersetzt worden ist, auf ein festes Potential, z.B. ein Massepotential oder ein hohes Versorgungsspannungspotential gezogen ist, kommt es beim Ladungsausgleich durch den Ausgleichstransistor zu einem gegenüber der üblichen Mittenspannung verschobenen Spannungswert auf dem ersetzten Bitleitungspaar, der jedoch aufgrund von nicht vollständig abgeschalteten Schalteinrichtungen an den Ausleseverstärker angelegt wird. Der Ausleseverstärker kann dadurch je nach Parameter der Transistoren, mit denen der Ausleseverstärker realisiert ist, einen von einer optimalen Verstärkungsbedingung verschiedenen Zustand einnehmen. Dieser nicht optimale Zustand kann zur Folge haben, dass eine schwache Speicherzelle nicht zu einer ausreichend großen Ladungsdifferenz auf den Bitleitungen des nicht reparierten Bitleitungspaares führt, so dass sie durch den nicht optimal auf den Arbeitspunkt eingestellten Ausleseverstärker verstärkt werden kann. Ein solcher Fehler kann nicht nach den bisherigen Testverfahren festgestellt werden, wenn nach einem Wechsel von einem Auslesen der ersten Speicherzellen zu einem Auslesen der zweiten Speicherzellen die erste der zweiten Speicherzellen eine starke Speicherzelle ist.

Erfindungsgemäß ist daher vorgesehen, die Schalteinrichtungen in verbesserter Weise zu testen, indem diese mehrfach durch Wechsel von dem Auslesen von ersten Speicherzellen und dem Auslesen von zweiten Speicherzellen geschaltet werden. Somit wird jede der Schalteinrichtungen mit verschiedenen Speicherzellen getestet, so dass ein Fehler zuverlässiger detektiert werden kann.

Vorzugsweise werden die ersten und die zweiten Speicherzellen abwechselnd ausgelesen, so dass jede der ersten und zweiten Speicherzellen mit einem Schalten der jeweiligen Schalteinrichtung getestet werden kann. Da die Speicherschaltung damit zwar in einer verschärften Testbedingung getestet werden, jedoch auch unter Bedingungen, die in der Realität auftreten

können, benötigt man keinen eigenen Testdurchlauf zum Testen der Schalteinrichtung, sondern man kann das Testen der Schalteinrichtung im Wesentlichen mit jedem Testvorgang, bei dem alle Speicherzellen an einem Ausleseverstärker ausgelesen werden, verbinden.

Vorzugsweise werden die ersten und zweiten Speicherzelle über Adressen adressiert, wobei die erste und die zweite Schalteinrichtung über das niederwertigste Adressbit der Adresse angesteuert werden. Auf diese Weise kann durch Hochzählen der Testadresse ein Wechsel des Auslesens von dem ersten Bitleitungspaar auf das zweite Bitleitungspaar auf einfache Weise erreicht werden.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist eine Testschaltung zum Testen einer Speicherschaltung vorgesehen. Ein Ausleseverstärker ist über eine erste Schalteinrichtung mit einem ersten Bitleitungspaar und über eine zweite Schalteinrichtung mit einem zweiten Bitleitungspaar verbunden. An den Kreuzungsstellen von ersten Wortleitungen mit einer der Bitleitungen des ersten Bitleitungspaares sind erste Speicherzellen, und an Kreuzungsstellen von zweiten Wortleitungen mit einer der Bitleitungen des zweiten Bitleitungspaares zweite Wortleitung angeordnet. Die Testschaltung ist so gestaltet, um Testdaten in die ersten und die zweiten Speicherzellen zu schreiben, und diese anschließend auszulesen. Die Testschaltung aktiviert beim Auslesen einer der ersten Speicherzellen die betreffende erste Wortleitung und schaltet die erste Schalteinrichtung durch und schließt die zweite Schalteinrichtung. Die Testschaltung aktiviert beim Auslesen einer der zweiten Speicherzellen die betreffende zweite Wortleitung und schließt die erste Schalteinrichtung und schaltet die zweite Schalteinrichtung durch. Die Testschaltung steuert das Auslesen der ersten und der zweiten Speicherzellen so, dass die ersten und die zweiten Speicherzellen in einer Abfolge ausgelesen werden, um die erste und die zweite Schalteinrichtung im Wesentlichen mehrfach während

des Testens während der ersten und zweiten Speicherzellen zu schalten.

Die Testschaltung hat den Vorteil, dass zum Auslesen der Daten aus den Speicherzellen an einem Ausleseverstärker beim Testen im Wesentlichen die erste und die zweite Schalteinrichtung bzw. der Ausleseverstärker mit getestet werden. Vorzugsweise kann vorgesehen sein, dass die Bitleitungen des ersten Bitleitungspaares mit einer ersten Ausgleichseinrichtung und die Bitleitungen des zweiten Bitleitungspaares mit einer zweiten Ausgleichseinrichtung verbunden sind.

Eine bevorzugte Ausführungsform der Erfindung wird im Folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

Figur 1 einen Ausschnitt aus einer dynamischen Speicherschaltung mit einer erfindungsgemäßen Testschaltung; und

Figur 2 ein Flussdiagramm zur Veranschaulichung des erfindungsgemäßen Verfahrens.

In Figur 1 ist ein Ausschnitt aus einer dynamischen Speicherschaltung dargestellt. Die Speicherschaltung umfasst einen Ausleseverstärker 1, an dessen linker Seite ein erstes Bitleitungspaar 2 über eine erste Schalteinrichtung 4 und an dessen rechter Seite ein zweites Bitleitungspaar 3 über eine zweite Schalteinrichtung 5 angeschlossen ist.

Das erste Bitleitungspaar 2 weist eine erste Bitleitung BL1 und eine zweite Bitleitung BL2 auf. Die Bitleitungen BL1, BL2 des ersten Bitleitungspaares 2 werden von ersten Wortleitungen WL1, WL2 und WL3 gekreuzt. An der Kreuzungsstelle zwischen der ersten Bitleitung BL1 des ersten Bitleitungspaares 2 und einer der ersten Wortleitung WL1 befindet sich eine erste Speicherzelle Z1. Die erste Speicherzelle Z1 weist einen Speichertransistor T und eine Speicherkapazität C auf.

Der Speichertransistor T und die Speicherkapazität C sind so geschaltet, dass mit einem Aktivierungssignal auf der ersten Wortleitung WL1 der Speichertransistor durchgeschaltet wird, so dass die Ladung in der Speicherkapazität C auf die erste
5 Bitleitung BL1 fließt.

An der Kreuzungsstelle zwischen der zweiten Bitleitung BL2 des ersten Bitleitungspaares 2 und einer weiteren der ersten Wortleitungen WL2 befindet sich eine weitere Speicherzelle
10 Z2, ebenso wie an der Kreuzungsstelle zwischen der ersten Bitleitung BL1 und einer dritten der Wortleitungen WL3. Die ersten Speicherzellen Z1, Z2, Z3 sind im Wesentlichen baugleich ausgeführt. Im Wesentlichen ist die Anordnung der ersten Speicherzellen Z1, Z2, Z3 so, dass an jeder der ersten
15 Wortleitungen WL1, WL2, WL3 nur eine Speicherzelle pro Bitleitungspaar angesteuert werden kann.

Üblicherweise sind eine große Anzahl von ersten Wortleitungen, z.B. 1024, vorgesehen, die die Bitleitungen des ersten
20 Bitleitungspaares 2 kreuzen. Auf gleiche Weise kreuzen zweite Wortleitungen WL4, WL5, WL6 die erste Bitleitung BL1 des zweiten Bitleitungspaares 3 und die zweite Bitleitung BL2 des zweiten Bitleitungspaares 3. Auf gleiche Weise wie an dem ersten Bitleitungspaar 2 sind an dem zweiten Bitleitungspaar
25 3 baugleich zweite Speicherzellen Z4, Z5, Z6 angeordnet. Auch das zweite Bitleitungspaar 3 wird durch eine große Anzahl von Wortleitungen gekreuzt, zum Beispiel 1024.

Die erste Schalteinrichtung 4 weist einen ersten Schalttransistor 41 und einen zweiten Schalttransistor 42 auf. Der erste und der zweite Schalttransistor 41, 42 sind mit ihren
30 Steuereingängen mit einem ersten Schaltsignal MUX1 verbunden. Die zweite Schalteinrichtung 5 weist einen dritten Schalttransistor 51 und einen vierten Schalttransistor 52 auf, die
35 mit ihren Steuereingängen mit einem zweiten Schaltsignal MUX2 angesteuert werden.

Weiterhin ist ein erster Ausgleichstransistor 6 vorgesehen, der gemäß einem ersten Ausgleichssignal EQ 1 durchgeschaltet wird, so dass die Potentiale der ersten Bitleitung BL1 und der zweiten Bitleitung BL2 des ersten Bitleitungspaares 2
5 ausgeglichen werden. Auf gleiche Weise können die Ladungen der ersten Bitleitung BL1 und der zweiten Bitleitung BL2 des zweiten Bitleitungspaares 3 mithilfe eines zweiten Ausgleichstransistors 7 in analoge Anordnung gemäß einem zweiten Ausgleichssignal EQ2 miteinander verbunden werden, um die La-
10 dungspotentiale auf den Bitleitungen BL1, BL2 des zweiten Bitleitungspaares auszugleichen. Die ersten und zweiten Ausgleichssignale EQ1, EQ2 und die ersten und zweiten Schaltsignale MUX1, MUX2 werden von einer Steuereinrichtung 8 zur Verfügung gestellt.

15 Zum Auslesen eines Datums aus einer der ersten Speicherzellen Z1, Z2, Z3, z.B. der ersten Speicherzelle Z1 werden zunächst die Potentiale der ersten Bitleitung BL1 und der zweiten Bitleitung BL2 des ersten Bitleitungspaares 2 ausgeglichen. Dies
20 erfolgt, indem der erste Ausgleichstransistor 6 gemäß dem ersten Ausgleichssignal EQ1 durchgeschaltet wird. Durch Deaktivieren des ersten Ausgleichssignals EQ1 wird der erste Ausgleichstransistor 6 gesperrt und anschließend die Wortleitung WL1 aktiviert, so dass der betreffende Speichertransistor T
25 durchgeschaltet wird. Die in der entsprechenden Speicherkapazität C gespeicherte Ladung fließt auf die erste Bitleitung BL1 und bewirkt dort eine Änderung des Potentials in der Regel um wenige 10 mV.

30 Anschließend oder im Wesentlichen gleichzeitig wird die Schalteinrichtung 4 durchgeschaltet, so dass die Potentiale der ersten Bitleitung BL1 und der zweiten Bitleitung BL2 an den Ausleseverstärker 1 angelegt werden. Der Ausleseverstärker 1 detektiert das Vorzeichen des Potentialunterschieds auf
35 den beiden Bitleitungen BL1, BL2 des Bitleitungspaares 2 und verstärkt die Potentialdifferenz auf den Bitleitungen BL1, BL2, wobei das Vorzeichen beibehalten wird. Je nachdem, ob

das Bitleitungspotential der ersten Bitleitung BL1 größer oder kleiner als das Potential der zweiten Bitleitung BL2 ist, wird ein erster Datenwert oder ein zweiter Datenwert an einem entsprechenden Datenausgang (nicht gezeigt) des Ausleseverstärkers 1 ausgegeben.

Nachdem das Auslesen erfolgt ist, wird die entsprechende Wortleitung WL1 deaktiviert und der erste Ausgleichstransistor 6 gemäß dem ersten Ausgleichssignal EQ1 durchgeschaltet, um die Ladungsunterschiede auf der ersten Bitleitung BL1 und der zweiten Bitleitung BL2 auszugleichen. Bei einer nachfolgenden erneuten Adressierung einer der ersten Speicherzellen Z1, Z2, Z3 im Anschluss an das Auslesen einer der ersten Speicherzellen wird die erste Schalteinrichtung 4 nicht abgeschaltet, sondern bleibt eingeschaltet.

Während des Auslesens einer der ersten Speicherzellen bleibt gleichzeitig die zweite Schalteinrichtung 5 ausgeschaltet, so dass die erste und zweite Bitleitung BL1, BL2 des zweiten Bitleitungspaares 3 nicht mit dem Ausleseverstärker 1 verbunden sind. Beim Adressieren einer der zweiten Speicherzellen Z4, Z5, Z6 ist entsprechend die erste Schalteinrichtung 4 gesperrt und die zweite Schalteinrichtung 5 durchgeschaltet, so dass die erste Bitleitung BL1 und die zweite Bitleitung BL2 des zweiten Bitleitungspaares 3 mit dem Ausleseverstärker 1 verbunden sind.

Beim Testen der Speicherzellen der dynamischen Speicherschaltung werden alle Speicherzellen mit Testdaten beschrieben und anschließend die gespeicherten Daten wieder ausgelesen, um durch eine Abweichung zwischen hineingeschriebenen Testdaten und ausgelesenen Daten einen Fehler der Speicherzelle festzustellen. Üblicherweise wird das Hineinschreiben und das Auslesen von Daten mehrfach mit verschiedenen Testdaten und unter verschiedenen äußeren Bedingungen wiederholt, um auch sogenannte „weiche“ Fehler, d.h. Fehler, die nur unter bestimmten Bedingungen auftreten, ausschließen zu können. Das Ausle-

sen von zuvor hinein geschriebenen Testdaten erfolgt bisher durch nacheinander erfolgreiches Aktivieren der entsprechenden Wortleitungen in der Reihenfolge ihrer physikalischen Anordnung in dem dynamischen Speicherbaustein, d.h. es werden zu-
5 nächst nacheinander alle ersten Speicherzellen ausgelesen und anschließend alle zweiten Speicherzellen. Das Testen der Speicherschaltung wird von einer Testschaltung 9 gesteuert.

Nach jedem Auslesen einer Speicherzelle werden, wenn das ausgelesene Datum dem Ausleseverstärker 1 auf eine Datenleitung (nicht gezeigt) gesendet worden ist, die unterschiedlichen Ladungspotentiale der ersten Bitleitung BL1 und der zweiten Bitleitung BL2 ausgeglichen. Dies erfolgt über die Ausgleichstransistoren 6, 7, die durch die Ausgleichssignale EQ1,
10 EQ2 aktiviert werden. Gleichzeitig wird der Ausleseverstärker 1 durch das Kurzschließen der ersten und zweiten Bitleitung BL1, BL2 und über die jeweils durchgeschaltete Schalteinrichtung 4, 5 auf den Arbeitspunkt zurückgebracht, bei dem der Ausleseverstärker 1 die größtmögliche Empfindlichkeit gegen-
15 über positiven wie negativen Potentialdifferenzen auf den Bitleitungen aufweist. Beim nacheinander erfolgenden Auslesen, beispielsweise der ersten Speicherzellen, wird also jeweils die Wortleitung aktiviert und die Ladungsdifferenz über den Ausleseverstärker 1 verstärkt und ausgelesen. Nach dem
20 Auslesen werden über den aktivierten Ausgleichstransistor 6 die Ladungspotentiale auf den beiden Bitleitungen BL1, BL2 ausgeglichen, bevor die nächste Wortleitung aktiviert wird. Während dem Auslesen der ersten Speicherzellen bleibt die erste Schalteinrichtung 4 durchgeschaltet. Ein Abschalten der
30 ersten Schalteinrichtung 4 erfolgt erst, wenn nicht mehr auf die ersten Speicherzellen zugegriffen werden soll, sondern auf die zweiten Speicherzellen. Dann wird im Wesentlichen gleichzeitig zum Ausschalten der ersten Schalteinrichtung 4 die zweite Schalteinrichtung 5 durchgeschaltet.

35

Das Umschalten zwischen der ersten und der zweiten Schalteinrichtung 4, 5 bei einem Wechsel erfolgt im Wesentlichen nach

einer vordefinierten Zeit nach dem Aktivieren der jeweiligen Ausgleichseinrichtung 6, 7.

Aufgrund von Prozessschwankungen kann es zu parametrischen

5 Verschiebungen des ersten und/oder zweiten Schalttransistors
41, 42 bzw. des dritten und/oder vierten Schalttransistors
51, 52 kommen. Diese können beispielsweise bewirken, dass der
Spannungsbereich der Steuerspannung, bei dem die Schalttran-
sistoren 41, 42, 51, 52 von einem leitenden auf einen ge-
10 sperzten Zustand, und umgekehrt, übergehen, zu hoch liegt, so
dass bei einem Spannungswechsel gemäß des Steuersignals MUX1
ein zu frühes Abschalten z.B. der ersten und zweiten Schalt-
transistoren 41, 42 erfolgt. Dieses zu frühe Abschalten z.B.
der Schalteinrichtung 4 hat zur Folge, dass der Auslesever-
15 stärker 1 möglicherweise nicht vollständig durch den Ladungs-
ausgleich durch den Ausgleichstransistor 6 in den Arbeits-
punkt zurückgebracht wird. Da gleichzeitig mit dem Ausschalt-
ten der ersten Schalteinrichtung 4 die zweite Schalteinrich-
tung 5 eingeschaltet wird, um zweite Speicherzellen auszule-
20 sen, ist beim Auslesen der ersten der zweiten Speicherzellen
der Ausleseverstärker 1 nicht in seinem Arbeitspunkt. Dies
hat zur Folge, dass unter Umständen die gespeicherte Informa-
tion nicht durch den Ausleseverstärker 1 korrekt ausgelesen
werden kann. Insbesondere ist es möglich, dass das Auslesen
25 einer starken Speicherzelle, d.h. einer Speicherzelle mit ho-
her Ladungsinformation noch in richtiger Weise ausgeführt
werden kann, während die Ladungsinformation einer schwachen
Speicherzelle, d.h. einer Speicherzelle mit geringerer Spei-
cherkapazität, fehlerhaft erfolgt. Dieser Fehler kann dann
30 durch das bisherige Testverfahren nicht erkannt werden und
tritt erst in der späteren Anwendung auf.

Beim Auslesen der ersten und zweiten Speicherzellen werden,
wie oben beschrieben, zunächst die ersten Speicherzellen und
35 danach die zweiten Speicherzellen ausgelesen, wobei nur ein
Wechsel vom Auslesen von ersten Speicherzellen an dem ersten
Bitleitungspaar 2 zu zweiten Speicherzellen an dem zweiten

Bitleitungspaar 3 erfolgt. Wird als erste Speicherzelle des zweiten Bitleitungspaares eine starke Speicherzelle ausgelesen, so kann eventuell ein Fehler der ersten Schalteinrichtung 4 nicht erkannt werden. Ein Fehler der zweiten Schalteinrichtung kann in keinem Fall erkannt werden, da die Schalteinrichtung nur einmalig vom gesperrten in den durchgeschalteten Zustand geschaltet wird. So kann eine fehlerhafte erste Schalteinrichtung 4 nur dann erkannt werden, wenn eine schwache zweite Speicherzelle, die im Normalfall, d.h. bei spezifikationsgemäß funktionierenden Schalteinrichtungen 4, 5, zu einem korrekten Ausleseergebnis führen würde, als erste der zweiten Speicherzellen nach einem Schalten der Schalteinrichtungen 4, 5 ausgelesen wird. Dieser Fall ist selten, und ein Fehler würde dementsprechend nur selten erkannt werden.

Um die Funktionsfähigkeit der Schalteinrichtungen 4, 5 zuverlässiger überprüfen zu können, wird daher erfindungsgemäß vorgeschlagen, die ersten und zweiten Speicherzellen in einer Abfolge auszulesen, bei der die Schalteinrichtungen 4, 5 mehrfach von einem gesperrten in einen durchlässigen Zustand und zurück geschaltet werden. Das optimale Testen der Schalteinrichtungen 4, 5 ergibt sich, wenn nach jedem Auslesen einer ersten Speicherzelle die erste Schalteinrichtung 4 abgeschaltet wird und die zweite Schalteinrichtung 5 auf Durchlass geschaltet wird und anschließend eine der zweiten Speicherzellen ausgelesen wird. Nach dem Auslesen der zweiten Speicherzelle wird dann die zweite Schalteinrichtung 5 wieder gesperrt und die erste Schalteinrichtung 4 auf Durchlass geschaltet, um im Anschluss die nächste der ersten Speicherzellen auszulesen. Dies wird fortgesetzt, bis alle der ersten und zweiten Speicherzellen ausgelesen sind.

Wird eine fehlerhafte Schalteinrichtung 4, 5 durch das oben beschriebene Testverfahren erkannt, so ist es möglich, das Bitleitungspaar, das mit der fehlerhaften Schalteinrichtung verbunden ist, durch einen redundanten Speicherbereich auszutauschen.

Ein weiterer Fehlermechanismus kann in dem Backend-Testvorgang auftreten. Wenn eines der Bitleitungspaare 2, 3 durch ein redundantes Bitleitungspaar ersetzt wird, werden die Speicherzellen des ersetzten Bitleitungspaares zwar adressiert, jedoch die ausgelesene Information, die an einem Datenausgang des Ausleseverstärkers ansteht, nicht ausgewertet. Beim Adressieren der entsprechenden Adresse des fehlerhaften Bitleitungspaares wird demnach auch die entsprechende Schalteinrichtung 4, 5 aktiviert und das ausgelesene Signal entsprechend der normalen Funktion im Ausleseverstärker 1 ausgewertet. Ist eine der Bitleitungen des ersetzten Bitleitungspaares dauerhaft mit einer Wortleitung oder einer Versorgungsspannungsleitung verbunden, so ist ein korrektes Auslesen der Speicherzellen dort nicht möglich, und es wird immer die Wortleitungsspannung oder die Versorgungsspannung das Signal auf dem Bitleitungspaar bestimmen.

Während des Ladungsausgleichs kann beispielsweise die erste Bitleitung des reparierten Bitleitungspaares aufgrund eines permanenten Kurzschlusses auf ein Massepotential gezogen werden und so eine asymmetrische Spannungssituation auf den Bitleitungen des betreffenden Bitleitungspaares bewirken. Durch die geöffnete Schalteinrichtung an dem reparierten Bitleitungspaar besteht die Asymmetrie der Spannungen auch in dem Ausleseverstärker, der auch nach dem Abschalten der betreffenden Schalteinrichtung in einem Zustand verbleibt, in der die Spannung an dem mit der ersten Bitleitung verbindbaren Anschluss und die Spannung auf dem mit der zweiten Bitleitung verbindbaren Anschluss unterschiedlich sind. Im dargestellten Beispiel, bei dem die erste Bitleitung des ersten Bitleitungspaares auf ein Massepotential gezogen wird, wäre es nicht möglich, eine positive Ladungsdifferenz zwischen der ersten Bitleitung BL1 und der zweiten Bitleitung BL2 des zweiten Bitleitungspaares in Anschluss auszulesen. Ein ordnungsgemäß funktionierender Ausleseverstärker muss jedoch selbst bei nicht ausgeglichenen Spannungen auf den Bitleitungen

gen eines Bitleitungspaares einen Arbeitspunkt annehmen, bei dem die Speicherzellen des jeweils anderen Bitleitungspaares im Anschluss ausgelesen werden können.

5 Durch einen Testvorgang im Backend kann durch das erfindungs-
gemäße Testverfahren also getestet werden, ob der Auslesever-
stärker in der Lage ist, jede der Speicherzellen des nicht-
reparierten Bitleitungspaares auszulesen, nachdem an den Aus-
leseverstärker die nicht vollständig ausgeglichenen Spannun-
10 gen der Bitleitungen des ersetzten Bitleitungspaares angelegt
worden sind. Ein solches Testen stellt keine verschärfte
Testbedingung dar. Auch im Normalbetrieb sind solche Zugriffe
möglich, da auch bei ersetzten Bitleitungspaaren die Schalt-
einrichtungen aktiv bleiben und somit der betreffende Ausle-
15 severstärker auch mit einem defekten Bitleitungspaar verbun-
den werden kann.

In Figur 2 wird das erfindungsgemäße Verfahren anhand eines
Flussdiagramms veranschaulicht. In Schritt S1 werden zu Be-
20 ginn des Testvorgangs zunächst Testdaten in alle Speicherzel-
len geschrieben. In einem Schritt S2 werden bei deaktivierten
Wortleitungen zunächst die Ausgleichstransistoren 6, 7 akti-
viert, um die Ladungen auf der ersten Bitleitung und der
zweiten Bitleitung BL1, BL2 der Bitleitungspaare auszuglei-
25 chen. Anschließend wird in einem Schritt S3 die erste Schalt-
einrichtung 4 geöffnet (wenn er nicht bereits geöffnet ist)
und somit der Ausleseverstärker 1 durch die noch immer durch-
geschaltete Ausgleichseinrichtung 6 auf einen Arbeitspunkt
gebracht.

30

In einem nachfolgenden Schritt S4 wird der Ausgleichstransis-
tor 6 abgeschaltet und in einem Schritt S5 die erste Wortlei-
tung WL1 zum Auslesen einer der ersten Speicherzellen Z1, Z2,
Z3 aktiviert. Die Wortleitung WL1 bleibt für eine bestimmte
35 Zeit aktiviert, so dass die Ladung aus der Speicherkapazität
C auf die jeweilige Bitleitung des ersten Bitleitungspaares 2
fließen kann. Die Ladungsdifferenz zwischen der ersten Bit-

leitung BL1 und der zweiten Bitleitung BL2 wird durch den Ausleseverstärker 1 detektiert und auf den Bitleitungen verstärkt.

5 In einem Schritt S6 wird die Wortleitung WL1 deaktiviert, sobald die Verstärkung der ausgelesenen Ladungsinformation durch den Ausleseverstärker abgeschlossen ist. Sobald in einem Schritt S7 die Wortleitung deaktiviert ist, wird der Ausgleichstransistor 6 wieder durchgeschaltet, um die Ladungspotentiale auf der ersten und zweiten Bitleitung BL1, BL2 des ersten Bitleitungspaares 2 auszugleichen. Gleichzeitig soll der Ausleseverstärker 1 in den Arbeitspunkt zurückgebracht werden.

15 Da der Ausleseverstärker 1 im Normalbetrieb so schnell wie möglich für ein Auslesen einer zweiten Speicherzelle zur Verfügung stehen muss, wird eine vorbestimmte Zeit vorgegeben, in der der Ausleseverstärker den Arbeitspunkt erreicht haben muss. D.h. soll als nächstes auf eine zweite Speicherzelle
20 zugegriffen werden, wird eine bestimmte Zeit nach Aktivieren des Ausgleichstransistors 6 nach dem Auslesen einer ersten Speicherzelle die erste Schalteinrichtung 4 in einem Schritt S8 ausgeschaltet, so dass die Bitleitung des ersten Bitleitungspaares von dem Ausleseverstärker 1 getrennt sind. Erfolgt dieses Trennen zu schnell, so hat der Ausleseverstärker
25 nicht ausreichend Zeit zur Verfügung, den Arbeitspunkt einzunehmen. Anschließend oder im Wesentlichen gleichzeitig mit dem Schließen der ersten Schalteinrichtung wird die zweite Schalteinrichtung 5 in einem Schritt S9 geöffnet und anschließend oder im Wesentlichen gleichzeitig der zweite Ausgleichstransistor 9 mithilfe des Ausgleichssignals EQ2 deaktiviert.

35 Im folgenden wird die betreffende zweite Wortleitung an der auszulesenden zweiten Speicherzelle aktiviert. Die zweite Wortleitung WL bleibt so lange aktiviert, bis die Ladungsdifferenz auf den Bitleitungen BL1, BL2 des zweiten Bitleitungs-

paares 3 durch den Ausleseverstärker 1 ausgelesen wurde. Anschließend wird in einem Schritt S12 die entsprechende Wortleitung deaktiviert und mithilfe des zweiten Ausgleichssignals EQ2 der Ausgleichstransistor 7 erneut auf Durchlass geschaltet, um die Ladungspotentiale der Bitleitungen BL1, BL2 des zweiten Bitleitungspaares 3 auszugleichen. Damit wird jedoch aufgrund der durchgeschalteten zweiten Schalteinrichtung 5 der Ausleseverstärker 1 auf seinen Arbeitspunkt zurück gebracht. Weiterhin wird in einem Schritt S14 die zweite Schalteinrichtung 5 geschlossen und die erste Schalteinrichtung 4 geöffnet.

Sind weitere Speicherzellen auszulesen, wird zu Schritt S3 zurückgesprungen und das Auslesen von weiteren ersten Speicherzellen und weiteren zweiten Speicherzellen fortgesetzt. Das Auslesen ist beendet, wenn keine weiteren Speicherzellen ausgelesen werden müssen.

Befinden sich an dem ersten Bitleitungspaar 2 oder an dem zweiten Bitleitungspaar 3 eine unterschiedliche Anzahl von ersten und zweiten Speicherzellen, so kann es möglich sein, dass eine der ersten oder eine der zweiten Speicherzellen mehrfach ausgelesen wird, um die Schalteinrichtungen 4, 5 bzw. den Ausleseverstärker 1 mit allen ersten und allen zweiten Speicherzellen zu testen.

Patentansprüche

1. Verfahren zum Testen eines Ausleseverstärkers (1) in einer dynamischen Speicherschaltung,
5 wobei der Ausleseverstärker (1) über eine erste Schalteinrichtung (4) mit einem ersten Bitleitungspaar (2) und über eine zweite Schalteinrichtung (5) mit einem zweiten Bitleitungspaar (3) verbunden ist,
wobei erste Speicherzellen (Z1, Z2, Z3) an Kreuzungsstellen von ersten Wortleitungen (WL1, WL2, WL3) mit einer der Bitleitungen (BL1, BL2) des ersten Bitleitungspaares (2) und zweite Speicherzellen (Z4, Z5, Z6) an Kreuzungsstellen von zweiten Wortleitungen (WL4, WL5, WL6) mit einer der Bitleitungen des zweiten Bitleitungspaares (3) angeordnet
10 sind,
wobei zunächst beim Testen Daten in die ersten (Z1, Z2, Z3) und die zweiten (Z4, Z5, Z6) Speicherzellen geschrieben werden und anschließend ausgelesen werden,
wobei beim Auslesen einer der ersten Speicherzellen (Z1, Z2, Z3) die betreffende erste Wortleitung (WL1, WL2, WL3) aktiviert wird, wobei die erste Schalteinrichtung (4) durchgeschaltet und die zweite Schalteinrichtung (5) geschlossen wird,
20 wobei beim Auslesen einer der zweiten Speicherzellen (Z4, Z5, Z6) die betreffende zweite Wortleitung (WL4, WL5, WL6) aktiviert wird, wobei die erste Schalteinrichtung (4) geschlossen und die zweite Schalteinrichtung (5) durchgeschaltet wird,
dadurch gekennzeichnet, dass
30 einer der ersten und eine der zweiten Speicherzellen (Z1 - Z6) in einer Abfolge ausgelesen werden, so dass die erste und die zweite Schalteinrichtung (4, 5) im wesentlichen mehrfach während des Testens der ersten und zweiten Speicherzellen (Z1 - Z6) geschaltet werden.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die ersten und die zweiten Speicherzellen (Z1 - Z6) abwechselnd ausgelesen werden.

5 3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass die ersten und zweiten Speicherzellen (Z1 - Z6) über Adressen adressiert werden, wobei die erste und die zweite Schalteinrichtung (4, 5) über das niederwertigste Adressbit der Adresse angesteuert werden.

10

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass vor dem Aktivieren einer der ersten Wortleitungen (WL1, WL2, WL3) die Ladungspotentiale der Bitleitungen (BL1, BL2) des ersten Bitleitungspaares (2) ausgeglichen werden und dass vor dem Aktivieren einer der zweiten Wortleitungen (WL4, WL5, WL6) die Ladungspotentiale der Bitleitungen (BL1, BL2) des zweiten Bitleitungspaares (3) ausgeglichen werden.

15

20 5. Testschaltung (9) zum Testen eines Ausleseverstärkers (1) einer Speicherschaltung, wobei der Ausleseverstärker (1) über eine erste Schalteinrichtung (4) mit einem ersten Bitleitungspaar (2) und über eine zweite Schalteinrichtung (5) mit einem zweiten Bitleitungspaar (3) verbunden ist, wobei erste Speicherzellen (Z1, Z2, Z3) an Kreuzungsstellen von ersten Wortleitungen (WL1, WL2, WL3) mit einer der Bitleitungen (BL1, BL2) des ersten Bitleitungspaares (2) und zweite Speicherzellen (Z4, Z5, Z6) an Kreuzungsstellen von zweiten Wortleitungen (WL4, WL5, WL6) mit einer der Bitleitungen (BL1, BL2) des zweiten Bitleitungspaares (3) angeordnet sind, wobei die Testschaltung (9) so gestaltet ist, um Testdaten in die ersten und die zweiten Speicherzellen zu schreiben und diese anschließend auszulesen, wobei die Testschaltung (9) beim Auslesen einer der ersten Speicherzellen (Z1, Z2, Z3) die betreffende erste Wortlei-

25

30

35

tung (WL1, WL2, WL3) aktiviert und die erste Schalteinrichtung (4) durchschaltet und die zweite Schalteinrichtung (5) schließt,

wobei die Testschaltung (9) beim Auslesen einer der zweiten Speicherzellen (Z4, Z5, Z6) die betreffende zweite Wortleitung (WL4, WL5, WL6) aktiviert und die erste Schalteinrichtung (4) schließt und die zweite Schalteinrichtung (5) durchschaltet,

dadurch gekennzeichnet, dass

die Testschaltung (9) das Auslesen der ersten und der zweiten Speicherzellen (Z1 - Z6) so steuert, um die erste und die zweite Schalteinrichtung (4, 5) im wesentlichen mehrfach während des Testens der ersten und zweiten Speicherzellen (Z1 - Z6) zu schalten.

6. Testschaltung (9) nach Anspruch 5, dadurch gekennzeichnet, dass die Testschaltung (9) das Auslesen so steuert, dass die ersten und die zweiten Speicherzellen (Z1 - Z6) abwechselnd ausgelesen werden.

7. Testschaltung (9) nach Anspruch 5 oder 6, dadurch gekennzeichnet, dass die Testschaltung (9) eine erste und eine zweite Schalteinrichtung (4, 5) so steuert, dass beim Auslesen einer der ersten Speicherzellen (Z1, Z2, Z3) die erste Schalteinrichtung (4) durchgeschaltet und die zweite Schalteinrichtung (5) gesperrt ist, und dass beim Auslesen einer der zweiten Speicherzellen (Z4, Z5, Z6) die erste Schalteinrichtung (4) gesperrt und die zweite Schalteinrichtung (5) durchgeschaltet ist.

Zusammenfassung

Verfahren und Testschaltung zum Testen einer dynamischen Speicherschaltung

5

Die Erfindung betrifft ein Verfahren zum Testen eines Ausleseverstärkers in einer dynamischen Speicherschaltung, wobei der Ausleseverstärker über eine erste Schalteinrichtung mit einem ersten Bitleitungspaar und über eine zweite Schalteinrichtung mit einem zweiten Bitleitungspaar verbunden ist, wobei erste Speicherzellen an Kreuzungsstellen von ersten Wortleitungen mit einer der Bitleitungen des ersten Bitleitungspaares und zweite Speicherzellen an Kreuzungsstellen von zweiten Wortleitungen mit einer der Bitleitungen des zweiten Bitleitungspaares angeordnet sind, wobei zunächst beim Testen Daten in die ersten und die zweiten Speicherzellen geschrieben werden und anschließend ausgelesen werden, wobei beim Auslesen einer der ersten Speicherzellen die betreffende erste Wortleitung aktiviert wird, wobei die erste Schalteinrichtung durchgeschaltet und die zweite Schalteinrichtung geschlossen wird, wobei beim Auslesen einer der zweiten Speicherzellen die betreffende zweite Wortleitung aktiviert wird, wobei die erste Schalteinrichtung geschlossen und die zweite Schalteinrichtung durchgeschaltet wird, wobei einer der ersten und eine der zweiten Speicherzellen in einer Abfolge ausgelesen werden, so dass die erste und die zweite Schalteinrichtung im wesentlichen mehrfach während des Testens der ersten und zweiten Speicherzellen geschaltet werden.

30

Figur 1

Figur für die Zusammenfassung

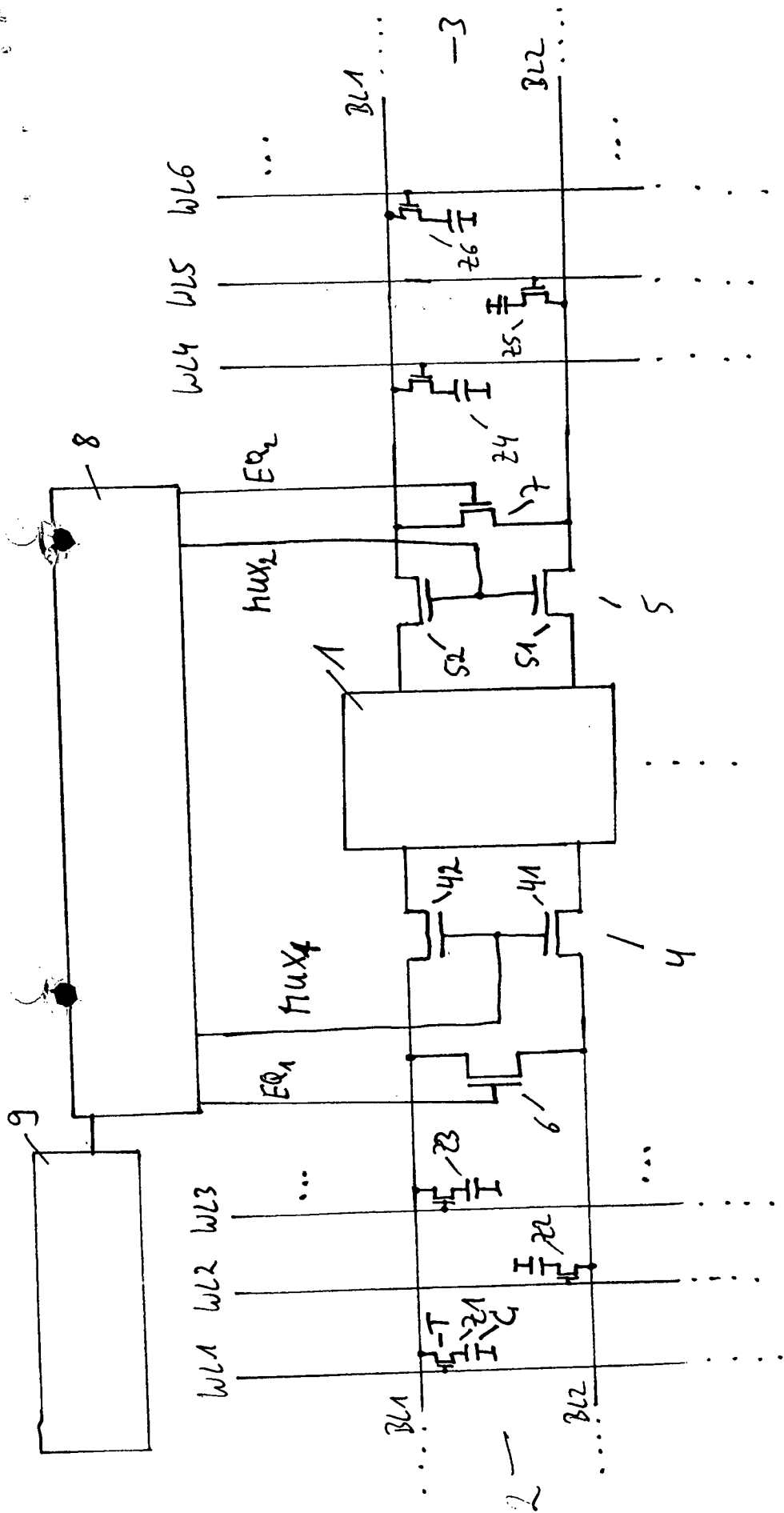


Fig. 1

Bezugszeichenliste

1	Ausleseverstärker
2	erstes Bitleitungspaar
3	zweites Bitleitungspaar
4	erste Schalteinrichtung
5	zweite Schalteinrichtung
6	erster Ausgleichstransistor
7	zweiter Ausgleichstransistor
8	Steuerschaltung
9	Testschaltung
41	erster Schalttransistor
42	zweiter Schalttransistor
51	dritter Schalttransistor
52	vierter Schalttransistor
Z1, Z2, Z3	erste Speicherzellen
Z4, Z5, Z6	zweite Speicherzellen
BL1	erste Bitleitung
BL2	zweite Bitleitung
WL1, WL2, WL3	erste Wortleitungen
WL4, WL5, WL6	zweite Wortleitungen
EQ1, EQ2	erstes, zweites Ausgleichssignal
T	Speichertransistor
C	Speicherkapazität
MUX1, MUX2	erstes, zweites Schaltsignal

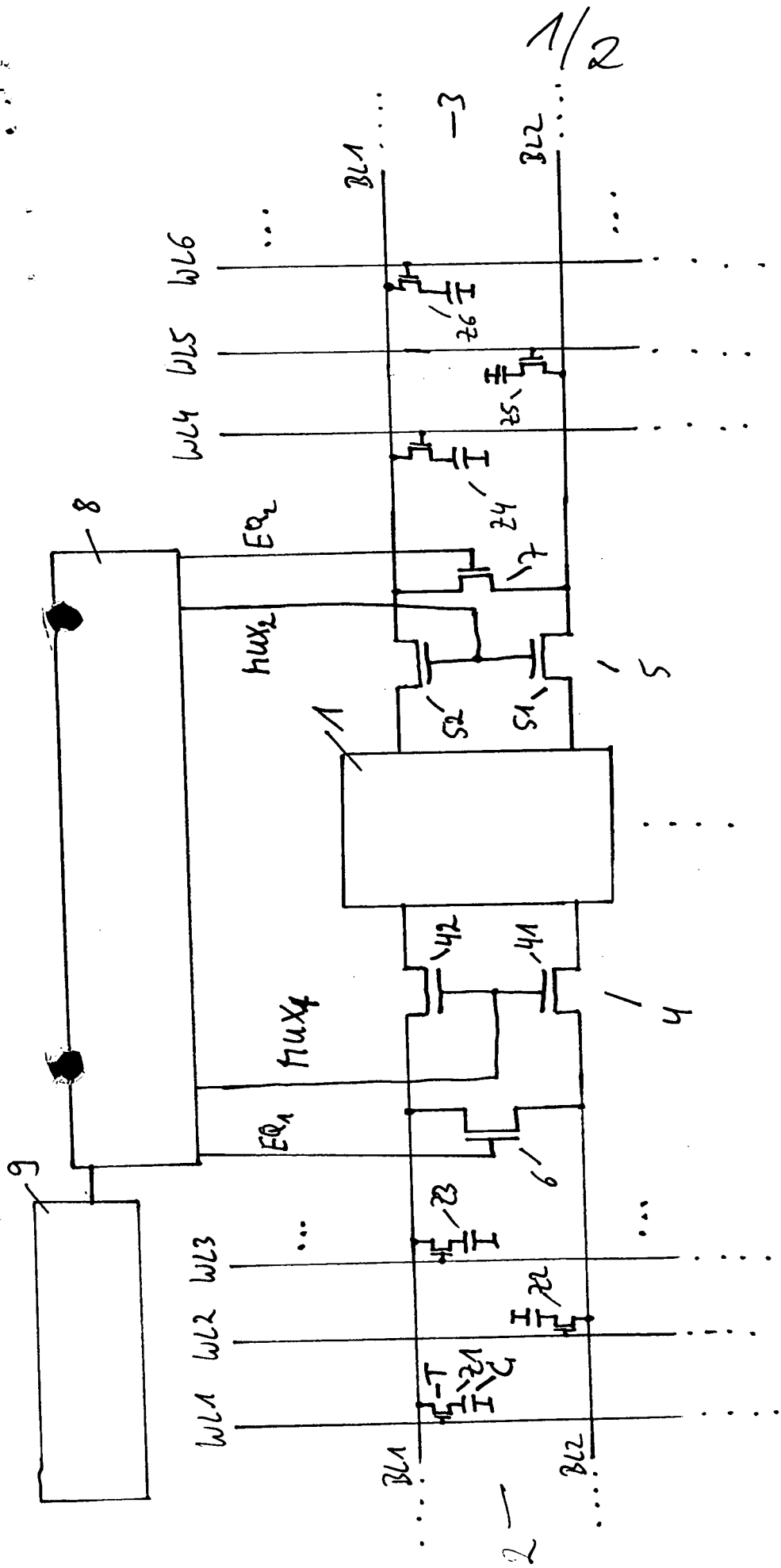


Fig. 1

2/2

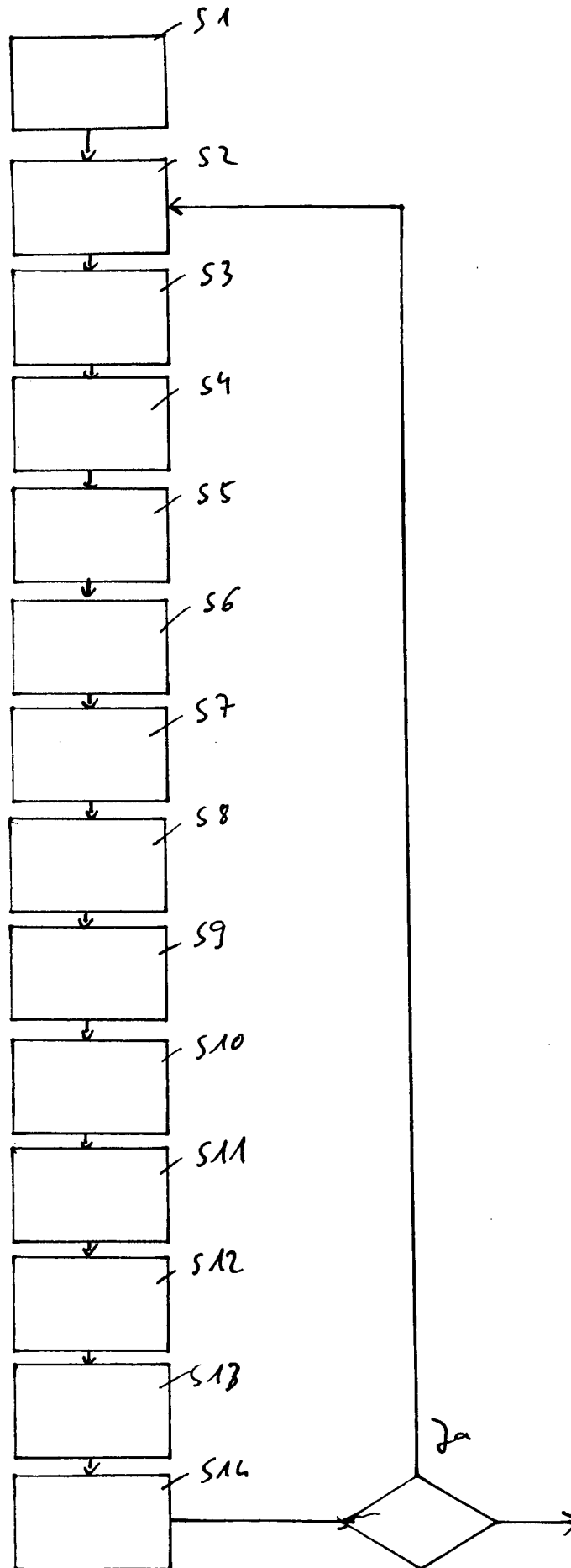


Fig. 2